

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **01-279538**
(43)Date of publication of application : **09.11.1989**

(51)Int.CI. **H01J 1/30**
H01J 37/06

(21)Application number : **63-107565**
(22)Date of filing : **02.05.1988**

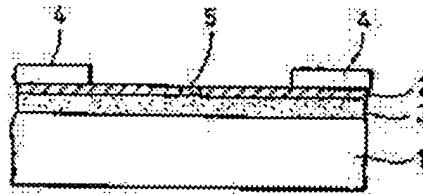
(71)Applicant : **CANON INC**
(72)Inventor : **KANEKO TETSUYA**
SAKANO YOSHIKAZU
NOMURA ICHIRO
TAKEDA TOSHIHIKO

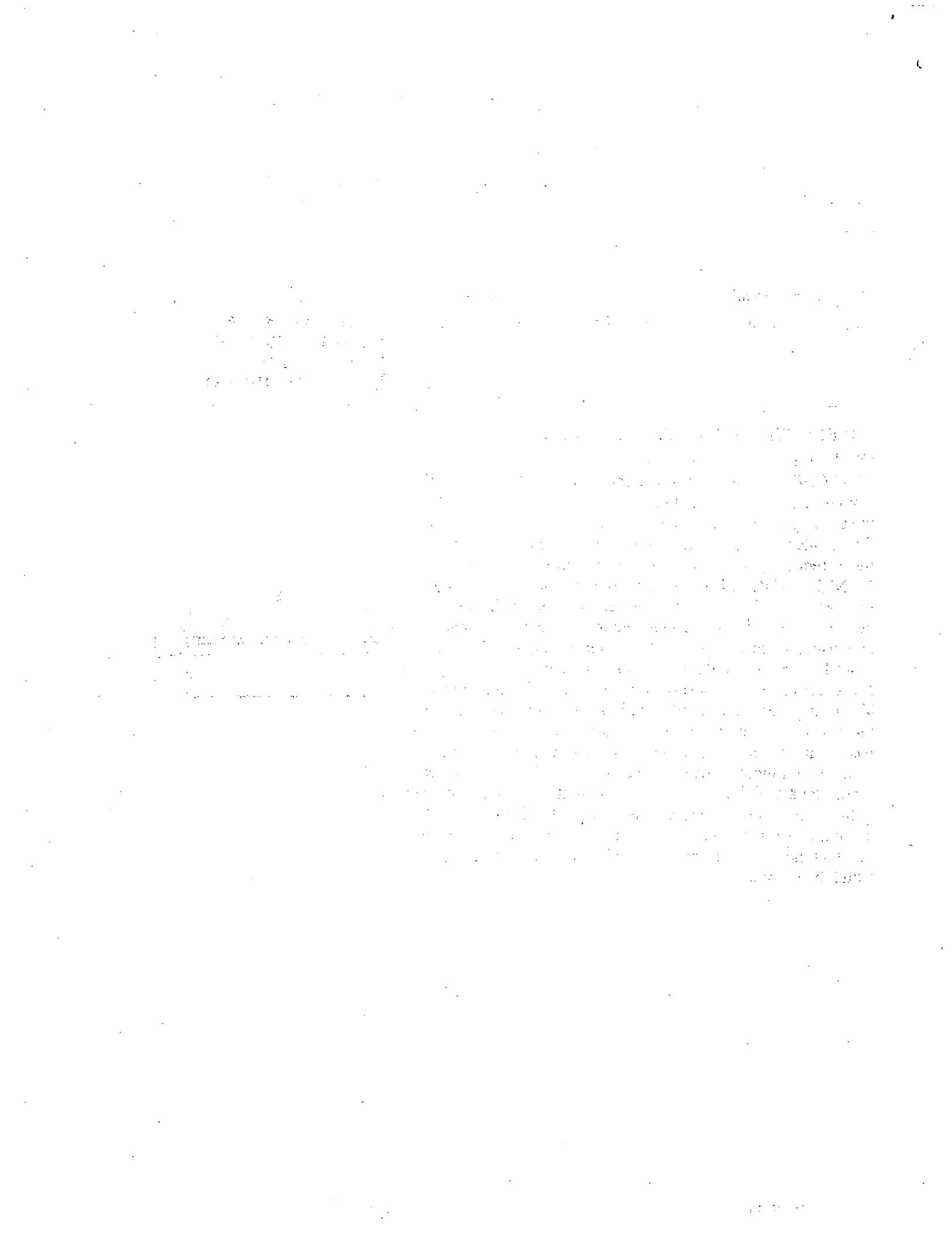
(54) ELECTRON EMITTING ELEMENT

(57)Abstract:

PURPOSE: To prevent a base board from cracking and a film from exfoliation by furnishing an intermediate layer between the base board and film, and eliminating generation of strain due to internal stress of the base board at the time of heating by current supply and at driving for electron emission.

CONSTITUTION: Local heat emission generated at a high resistance part 5 when current is supplied for heating and electrons are emitted, is conducted to an intermediate part 3 and dispersed there quickly. This intermediate part 3 is made of a film material containing chiefly SiO₂ or SiO₂ having a low coefficient of expansion and high thermal conductivity. The heat generated is conducted in a wide interface between the base board 1 and intermediate layer 3 and dispersed in the base board 1. This suppresses local heating in the base board 1, and strain therein does not become large. Because the heat emitting part of film 2 is in contact with the intermediate layer 3, the internal stress generated is also small. This accomplishes a surface conductive electron emitting element, in which no crack will be initiated in the base board nor the film 2 be exfoliated.





DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

008108763 **Image available**

WPI Acc No: 1989-373874/ 198951

Surface conductive electron emitting element - provides intermediate layer made of high-heat conductive material between substrate and thin film
NoAbstract Dwg 3/5

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1279538	A	19891109	JP 88107565	A	19880502	198951 B

Priority Applications (No Type Date): JP 88107565 A 19880502

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1279538	A	5		

Title Terms: SURFACE; CONDUCTING; ELECTRON; EMIT; ELEMENT; INTERMEDIATE; LAYER; MADE; HIGH; HEAT; CONDUCTING; MATERIAL; SUBSTRATE; THIN; FILM; NOABSTRACT

Derwent Class: U11; U12; V05

International Patent Class (Additional): H01J-001/30; H01J-037/06

File Segment: EPI

Manual Codes (EPI/S-X): U11-C18B; U12-B03X; V05-F03; V05-L01; V05-M03



⑫ 公開特許公報 (A) 平1-279538

⑬ Int. Cl.
H 01 J
1/30
37/06

識別記号

府内整理番号
A-6722-5C
Z-7013-5C

⑭ 公開 平成1年(1989)11月9日

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 電子放出素子

⑯ 特願 昭63-107565
⑰ 出願 昭63(1988)5月2日

⑱ 発明者 金子 哲也 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲ 発明者 坂野 嘉和 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑳ 発明者 野村 一郎 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ㉑ 発明者 武田 俊彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ㉒ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ㉓ 代理人 弁理士 豊田 善雄

明細書

1. 発明の名称

電子放出素子

2. 特許請求の範囲

- (1) 基板上に少なくとも薄膜と電極が設けられ、該薄膜に高抵抗率の形成された表面伝導形電子放出素子において、基板と薄膜との間に中間層を設けたことを特徴とする電子放出素子。
- (2) 中間層が、低熱膨張率で高熱伝導率の材料からなることを特徴とする請求項1項に記載の電子放出素子。
- (3) 中間層が、SiO₂又はSiO_xを主成分とする膜からなることを特徴とする請求項1項又は2項に記載の電子放出素子。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は電子放出素子、特に表面伝導形電子放出素子の構造に関するものである。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム・アイ・エリソン(M. I. Elison)等によって開発された冷陰極素子が知られている。〔ラジオ・エンジニアリング・エレクトロニクス・フィジックス(Radio Eng. Electron. Phys.)第10巻、1290~1298頁、1965年〕

これは、基板上に形成された小面積の薄膜に、画面に平行に電流を流すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導形放出素子と呼ばれている。

この表面伝導形放出素子としては、前記エリソン等により開発されたSb₂O₃(Sb)薄膜を用いたもの、Au薄膜によるもの〔ジー・ディットマー・スイン・ソリド・フィルムズ(G. Dittmer: "Thin Solid Films")、9巻、317頁、(1972年)〕、ITO薄膜によるもの〔エム・ハートウェル・アンド・ジー・フォンスタッド・アイ・イー・イー・トランジス・ジー・ディー・コンファレンス(H. Bartell and C. G. Fonstad: "IEEE

Trans. ED Conf. " ") 519 頁, (1975年)], カーボン薄膜によるもの [荒木久樹: "真空", 第28巻, 第1号, 22頁, (1983年)] などが報告されている。

これらの表面伝導形放出素子の典型的な素子構成を第4図の断面図及び第5図の斜視図に示す。4は電気的接線を得る為の電極、2は電子放出材料で形成される薄膜、1は基板である。

従来、これらの表面伝導形放出素子に於ては、電子放出を行なう前にあらかじめフォーミングと呼ばれる通電加熱処理によって電子放出部を形成する。即ち、前記2つの電極4の間に電圧を印加する事により、薄膜2に通電し、これにより発生するジュール熱で薄膜2を局所的に加熱、変形もしくは変質せしめ、電気的に高抵抗部を得るものである。

[発明が解決しようとしている課題]

しかしながら、上記従来例では基板と薄膜が直接界面を形成して接触しており、フォーミング処理の通電加熱や電子放出運動の際、基板上の小面

積の薄膜部へ局所的な発熱が生じ、基板内応力による歪が大きく発生し、次の様な欠点があつた。

- (1) 通電加熱の際、基板が割れ、薄膜が切断されるため、電子放出素子として機能しなくなる。
- (2) 通電加熱の際、基板から薄膜が剥離することがあり、電子放出素子として安定性、再現性、寿命が著しく低下する。
- (3) 電子放出時ににおける薄膜を流れる電流によつても薄膜の高抵抗部が局所的に発熱し基板が割れ、薄膜が切断されることもある。
- (4) (1),(2),(3) の問題点のため、加熱温度の上限や基板材料、薄膜材料の選択の組み合わせに制限があった。

以上の様な欠点を解決するために従来は、基板内応力の発生を小さくすべく、熱膨張係数が小さく、かつ比較的熱伝導率が高く、さらに、基板材としての取扱いが良好な、絶縁性基板として、唯一石英基板を用いていた。

即ち、小面積の薄膜部や薄膜の高抵抗部での局

所的な発熱を均一に短時間で基板内へ拡散させ、かつ大きな熱勾配が発生しても基板の熱膨張係数が小さいために発生する応力が小さく基板内の歪を極力おさえて、基板割れや薄膜の剥離を防止していた。このため、 $\text{SnO}_2(\text{Pb})$ 薄膜の様な高融点材料でも通電処理によるフォーミングを可能としていた。

しかし、一般に石英基板は、通常のガラス材等の基板に比べ非常に高価であり、また 30cm^2 以上の大きさで表回、耐熱度の良好な基板を安定して得ることは難しい材料である。

従って、大面積で安価な基板を用いて、表面伝導形電子放出素子を作製するには、基板材料の選定から前述の欠点(1),(2),(3)から生ずる欠点(4)、即ち加熱温度の上限や基板材料、薄膜材料の組み合わせに制限があり、所望の特性の表面伝導形電子放出素子を得ることができなかつた。

[課題を解決するための手段]

本発明は、基板上に少なくとも薄膜と電極が設けられ、該薄膜に高抵抗部の形成された表面伝導

形電子放出素子において、基板と薄膜との間に中間層を設けたことを特徴とする電子放出素子である。

以下、本発明を第1図～第3図に基づいて詳細に説明する。

第1図は本発明の一例を示す素子断面図である。1は基板、2は中間層3上に形成された薄膜、4は薄膜に電圧を印加する電極、5は通電加熱によってフォーミング処理された高抵抗部である。本素子を真空中で電極4より電圧印加すると高抵抗部5付近より電子が放出される。

通電加熱及び電子放出時における高抵抗部5で発生する局所的な発熱は、低熱膨張率で高熱伝導率の材料から成る中間層3へ伝導し、中間層3内で素早く放出し、中間層3と基板1の広い範囲の界面で伝導し、基板1内に放出されていく。従つて、基板1自体が比較的熱伝導率が低く、また熱膨張係数が大きい材料でも、基板の局所的な加熱を押さえ、基板内の歪が大きくならない。さらに薄膜の発熱部は、中間層と接しているために発生

する内部応力も小さい。このため、基板割れや、移動の困難が発生しない表面伝導形電子放出素子が得られる。

第2図は本発明の一例を示す素子の斜視図であり、第3図は本発明の一例を示す素子の製造工程図である。製造方法としては、まず、ガラス基板等から成る基板1上に低熱膨張率で高熱伝導率材料から成る中間層3を堆積する。堆積方法は、中間層材料により異なるが、液体コーティング法や、真空堆積法、印刷法等の膜形成法によって堆積できる。中でも、セラミックコーティング剤を基板上に、塗布、焼成することによって得る液体コーティング法が、大面積化の可能性範囲、安価である点、大量処理の可能性、供給安定性や熱可塑性の大きな材料を削減して形成できる点等から最も優れている（第3図①参照）。

次に中間層3上に、薄膜2を堆積形成する。薄膜材料により異なるが、堆積法としては、真空堆積法、印刷法、液体コーティング法等による。形成法としてはフォトリソエッチング法、マスク蒸

着法、印刷法等が用いられる。本工程で第2図の素子外観図で示す薄膜2の形状に形成する（第3図②参照）。

さらに、素子基板上に電極4をマスク蒸着法による真空堆積等によって、第2図の電極4の形状に堆積形成する（第3図③参照）。

なお、図中、 ℓ は $0.01\sim20\text{nm}$ 、 W は $0.1\sim20\text{nm}$ の範囲で十分な電子放出を得ることができる。その後、本素子を真空中に置き、電極4に電圧を印加して薄膜2の一部へ通電加熱によるフォーミング処理をほどこして高抵抗部5を形成する（第3図④及び第2図参照）。

以上の製造方法によって本発明の表面伝導形電子放出素子を得ることができる。

本発明において基板材は、電子放出素子及び中間層を支持できるものであれば良く、一般的で安価なガラス基板、例えば青板ガラス、白板ガラス、耐ケイ酸ガラス等の基板材が用いられる。これらの材料は、比較的熱伝導率が低く、かつ熱膨張係数が大きくても、一般的なガラス材であれ

ば、中間層を設けることにより従来例の様な問題は発生しない。

中間層には、基板材料との比較において低熱膨張率で高熱伝導率のものを用いる。通常は熱膨張率 $5\times10^{-7}\sim10\times10^{-7}/\text{°C}$ 、熱伝導率 $0.003\text{cal/cm}\cdot\text{s}\cdot\text{deg}$ 以上程度のものがよい。

具体的な材料としては、その形成方法や材料の供給安定性、取扱い、電気的絶縁性能、表面伝導形電子放出素子に対する基板材中に含まれるナトリウムの様な不純物の混入防止、安価である点等から、 SiO_2 系膜が最も適しており、 SiO_2 を主成分とした Al_2O_3 、 ZrO_2 、 TiO_2 、 BaO 等との混合材でもよい。また中間層の構成として SiO_2 単一材料や混合材の單層構造の他に多層構造で中間層を構成しても使用可能である。

中間層の厚みとしては電子放出材薄膜の材料にもよるが、通常 500~A 程度以上が好ましい。高融点材料の一つである $\text{SnO}_2(\text{Pb})$ 材を薄膜とした場合でも中間層の厚みが 1000~A 程度あれば、充分な効果を得ることができる。

薄膜の材料としては、 SnO_2 、 TaO_2 、 PbO 等の金属酸化物、 Au 、 Ag 、 Pt 等の金属、カーボン、その他各種半導体等、高融点材料を含め、表面伝導形電子放出素子に用いられているものであればよい。また薄膜の厚みは $500\text{~A}\sim1\mu\text{m}$ 程度が良い。

電極の材料としては、 Ni 、 Pt 、 Al 、 Cu 、 Au 、 Ta など通常の金属やその他の導電性部材等、表面伝導形電子放出素子に用いられているものであれば、使用することができる。電極の厚みは、 500~A 以上が好ましい。

【実施例】

前述の第3図に示す工程図に基づいて、以下のように電子放出素子を作製した。

- ① 洗浄された青板ガラスからなる基板上に、液体コーティング材（東京応化工業社製OCO）を塗布し、基板を焼成することによって、膜厚 1000~A 程度の SiO_2 からなる中間層を設けた。
- ② 次に、①で得た中間層上にフォトレジストを形成し、更にセラミックコーティング剤を用いた

墨布焼成による液体コーティング法で膜厚1000Å程度の $\text{SnO}_2(\text{Pb})$ から成る導電膜を形成した後、フォトレジストを剥離し $\text{SnO}_2(\text{Pb})$ をリフトオフ法によって形成して薄膜を得た。

この時、薄膜は第2図に示すような形状とし、第2図中で $\vartheta = 0.1\text{mm}$ とした。

④ 次いで、上記バーニングされた薄膜の上に、真空堆積法により膜厚1000Å程度のニッケルからなる電極を設けた。

この時、マスク真空堆積法により電極を第2図に示したような形状にバーニングし、第2図中で $\vartheta = 0.3\text{mm}$ とした。

⑤ 最後に、 $10^{-4}\text{Tor}\text{r}$ 程度の真空中にて、電極に直流電圧を印加し通電処理を行ったところ、消費電力1W程度で薄膜部分に高抵抗部が形成され、電子放出素子を作製した。

この際、基板の割れや薄膜の基板からの剥離はなかった。

上記のようにして得た素子を $10^{-4}\text{Tor}\text{r}$ 程度の真空中に置き、電極の間に直流電圧 $V_f = 20\text{V}$ を印加

し、上部電極版（図示せず）を高抵抗部の上部へ7mmの距離で平行に対面させ、電極のマイナス側との間に直流電圧100Vを印加した。すると上部電極へ1μA程度の電子放出電流を得ることができた。

更に、本素子を上記条件で48時間通電して電子放出させても、基板の割れや薄膜の剥離は発生しなかった。

【発明の効果】

このように、基板と薄膜との間に中間層を設けることにより、次のような効果が得られる。

(1) 通電加熱の際、基板が割れて、薄膜が切断されなくなる。

(2) 通電加熱の際、基板から薄膜の剥離を防止し、電子放出装置として安定性、再現性、寿命が向上する。

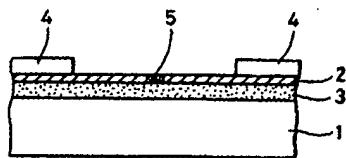
(3) (1),(2) より基板材料、薄膜材料の選択の組み合わせの自由度がひろがり、所望の特性を有する薄膜材料を安価でかつ大面積な基板材の上に形成することができるようになる。

第4図及び第5図は従来の電子放出素子の説明図である。

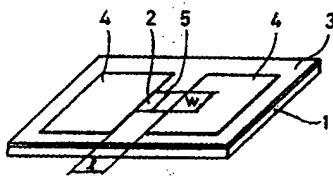
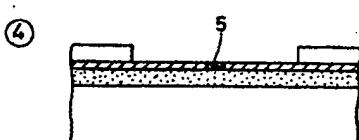
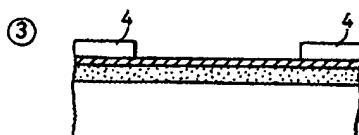
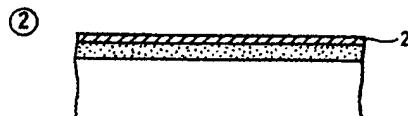
1…基板、
2…薄膜、
3…中間層、
4…電極、
5…高抵抗部。

出願人 キヤノン株式会社

代理人 豊田善雄

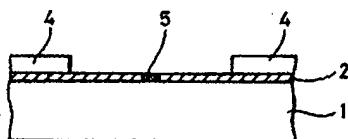


第1図

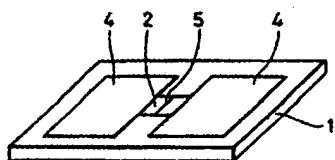


第2図

第3図



第4図



第5図

